



國立清華大學
積體電路設計技術研發中心

經濟部 學界科專

國外出差報告

日期：95 年 月 日

計畫書編號：95-EC-17-A-01-S1-038

計畫名稱：超低功率數位訊號處理器核心開發計畫

報告人：馬席彬

職工編號 (學號)：B14413

出國期間：自民國 98 年 2 月 8 日至 98 年 2 月 12 日計 5 日

出國目的：參觀訪問 參加展覽 參加研討會 技術交流 受訓
發表論文 進 修 邀請學者、專家來台授課或演講
其 他

前往國家：美國舊金山

機關(會議)名稱：2009 IEEE ISSCC



1. 主要任務摘要 : (50 字以內)

ISSCC 為半導體界每年最重要的會議，全世界最新最先進的技術都會在此會議中發表，本次出席主要是觀摩世界一流大師及設計人員的技術發表，並學習相關先進低功率設計技術以提供本計畫執行之重要參考。

2. 與會心得：

本次會議，因經濟不景氣，參與者約少了 1/3。在數位通訊處理晶片方面，基本上沒有太多創新的技術，只是利用較佳製程，利用平行處理，多 power domain, clock domain，採用功率控制的方式完成高效能低功耗的晶片結果。不過這次有更多的低複雜度低功耗無線通訊應用在生醫應用上，例如 evening session 就有一個 healthy radio, session 25 專門談 medical 的電路，另有一場 workshop 談 Integrated Neural Interface，均是將無線通訊系統應用到生醫晶片中的討論。

今年度的 invited talk 品質較前幾年要好，請到專門講 technical 的學者來演講，均對 low power design 強調甚多，分別對於 green power control，adaptive circuits under 0.5V 所產生的問題以及如何設計電路，還有 scaling 所面對 power 的問題提出看法，聽過以後對於未來研究的方向啟發有幫助，可以多藉由 adaptive 方面的研究(包含克服 device variability、optimal power control 等)，做出很多成果。

另外最後一天參加了 Multi-domain Processors 的 workshop，其中談到很多現在因為要省功率所以採用 multi-clock, multi-power domain 設計所產生的問題，這些問題在學校做比較小電路時，其實不容易發覺，也不容易研究，透過 IBM 等大公司的研究成果及經驗，可以了解日後問題的嚴重性及可能的 solution。

本次本團隊也因獲得 DAC/ISSCC Student Design Contest，而在 ISSCC 展出，題目為 A 1.2 V 26 mW configurable multiuser mobile MIMO-OFDM/-OFDMA baseband processor。展覽時間有相當多人對本成果有興趣，詢問相當多問題。本成果在 ISSCC 還獲台大陳少傑教授邀請於 8 月初到在 MIT 舉辦的 EITC2009 給個專題演講。

參加過今年度的會議後，由於 ISSCC 需要有晶片成果才會發表，因此預計本計畫成果可以在明年度有晶片產出，於明年度的 ISSCC 有機會投稿。

(接下頁)



(接上頁)

3.建議：

無。

4.攜回資料：

- 1.會議論文集摘要
- 2.會議論文光碟一份

計畫主持人簽章：

日期：